

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-111642  
 (43)Date of publication of application : 23.04.1999

(51)Int.Cl. H01L 21/28  
 H01L 29/78  
 H01L 21/336

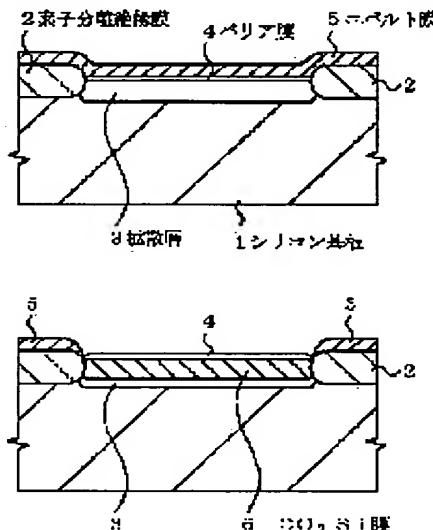
(21)Application number : 09-274710 (71)Applicant : NEC CORP  
 (22)Date of filing : 07.10.1997 (72)Inventor : INOUE AKIRA

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable forming a microstructural silicide layer of high quality by forming a high melting point metal silicide layer of a first phase structure, while a semiconductor substrate is heated, eliminating a high melting point metal layer which has not yet reacted, and converting the metal silicide layer to a high melting point metal silicide layer of a second or a third phase structure by thermal treatment.

**SOLUTION:** A diffusion layer 3 is formed on an Si substrate 1, a barrier film 4 is formed, a cobalt film 5 is formed by sputtering at a high temperature, and a Co Si film is formed by turning a part of the diffusion layer 3 into silicide. A high melting point metal silicide layer (HMS) of a first phase structure constituted of the Co<sub>2</sub>Si film 6 is formed on the surface of the diffusion layer 3 by thermal treatment. The cobalt film 5 on an element isolating dielectric film 2 is eliminated by wet etching, and the Co<sub>2</sub>Si film 6 is subjected to phase transition by sintering in the nitrogen atmosphere and converted into an HMS of a second phase structure constituted of a CoSi film. Then the CoSi film is again subjected to phase transition by sintering and converted into an HMS of a third phase structure constituted of a CoSi<sub>2</sub> film.



## LEGAL STATUS

[Date of request for examination] 07.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3209164

[Date of registration] 13.07.2001

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-111642

(43) 公開日 平成11年(1999)4月23日

(51) Int.Cl.<sup>6</sup>  
H 01 L 21/28  
29/78  
21/336

識別記号  
301

F I  
H 01 L 21/28  
29/78

301 T  
301 P

審査請求 有 請求項の数12 OL (全 11 頁)

(21) 出願番号

特願平9-274710

(22) 出願日

平成9年(1997)10月7日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 井上 顕

東京都港区芝五丁目7番1号 日本電気株式会社内

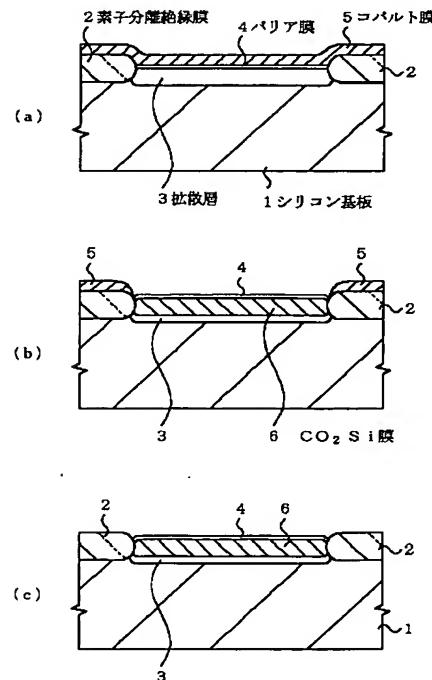
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 選択的なシリサイド層の形成工程を簡便にすると共にバラツキの小さい安定的なものにし、そのシリサイド層の信頼性を向上させる。

【解決手段】 半導体基板上に所定の領域に高融点金属シリサイド層を選択的に形成する方法において、半導体基板を加熱しながら高融点金属膜を堆積すると共に  $CO_2$   $Si$  膜等の第1の相構造の高融点金属シリサイド層を形成する。そして、熱処理を施してこの第1の相構造の高融点金属シリサイド層を  $CoSi$  膜、  $CoSi_2$  膜等の他の相構造の高融点金属シリサイド層に変換する。ここで、高融点金属シリサイド層の形成される領域表面と上記の高融点金属膜との間には、多孔性を有するシリコン酸化膜等でバリア膜が形成される。



## 【特許請求の範囲】

【請求項1】 半導体基板上に部分的に形成される絶縁膜間に高融点金属シリサイド層を選択的に形成する半導体装置の製造方法において、前記半導体基板を加熱しながら高融点金属膜を堆積すると共に第1の相構造の高融点金属シリサイド層を形成する工程と、未反応の前記高融点金属膜を除去する工程と、熱処理を行って前記第1の相構造の高融点金属シリサイド層を第2の相構造あるいは第3の相構造の高融点金属シリサイド層に変換する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に部分的に形成される絶縁膜間に高融点金属シリサイド層を選択的に形成する半導体装置の製造方法において、前記半導体基板を加熱しながら高真空中で高融点金属膜を堆積する工程と、前記高真空中を破ることなく前記半導体基板を加熱して第1の相構造の高融点金属シリサイド層を形成する工程と、未反応の前記高融点金属膜を除去する工程と、熱処理を行って前記第1の相構造の高融点金属シリサイド層を第2の相構造あるいは第3の相構造の高融点金属シリサイド層に変換する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項3】 前記熱処理を通して、前記第1の相構造の高融点金属シリサイド層が最初に前記第2の相構造の高融点金属シリサイド層に変換され、次に、前記第2の相構造の高融点金属シリサイド層が第3の相構造の高融点金属シリサイド層に変換されることを特徴とする請求項1または請求項2記載の半導体装置の製造方法。

【請求項4】 半導体基板上の前記高融点金属シリサイド層の形成される領域表面と前記高融点金属膜との間にバリア膜が形成され、前記バリア膜は前記高融点金属を通過させるがシリコンの通過を阻止する材料で構成されていることを特徴とする請求項1、請求項2または請求項3記載の半導体装置の製造方法。

【請求項5】 前記バリア膜が多孔性を有するシリコン酸化膜で形成されていることを特徴とする請求項1から請求項4のうち1つの請求項に記載の半導体装置の製造方法。

【請求項6】 前記高融点金属膜がコバルトで形成され、堆積時の半導体基板の加熱温度が400°Cから500°Cであることを特徴とする請求項1から請求項5のうち1つの請求項に記載の半導体装置の製造方法。

【請求項7】 前記第1の相構造の高融点金属シリサイド層がC<sub>0.2</sub>S<sub>1</sub>であり前記第2の相構造の高融点金属シリサイド層がC<sub>0</sub>S<sub>1</sub>であり前記第3の相構造の高融点金属シリサイド層がC<sub>0</sub>S<sub>1.2</sub>であることを特徴とする請求項1から請求項6のうち1つの請求項に記載の半導体装置の製造方法。

【請求項8】 前記C<sub>0</sub>S<sub>1.2</sub>で構成される第3の相構造の高融点金属シリサイド層がエピタキシャル成長する

ことを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 前記第1の相構造の高融点金属シリサイド層が形成された後であって前記熱処理が行われる前工程に、前記未反応の高融点金属膜が硫酸と過酸化水素水を含む混合液によりエッチング除去されることを特徴とする請求項5から請求項8のうち1つの請求項に記載の半導体装置の製造方法。

【請求項10】 半導体基板上に部分的に形成される絶縁膜間に高融点金属シリサイド層を選択的に形成する半導体装置の製造方法において、前記半導体基板を加熱しながら高融点金属膜を半導体基板上に付着させると同時に前記高融点金属膜を熱反応で第1の相構造の高融点金属シリサイド層に変換する工程と、未反応の前記高融点金属膜を除去する工程と、熱処理を行って前記第1の相構造の高融点金属シリサイド層を第2の相構造あるいは第3の相構造の高融点金属シリサイド層に変換する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項11】 前記高融点金属膜がコバルトで形成されその成膜速度が前記第1の相構造の高融点金属シリサイド層への変換速度より小さくなるように設定されることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 前記高融点金属膜の成膜速度が0.05nm以上であり0.3nm以下となる範囲にあることを特徴とする請求項11記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に、絶縁ゲート電界効果トランジスタ(MOSトランジスタという)のゲート電極、ソースおよびドレイン拡散層表面をシリサイド化する方法に関する。

## 【0002】

【従来の技術】 半導体素子の微細化および高密度化は依然として精力的に進められており、現在では0.15～0.25μmの寸法基準で設計されたメモリデバイスあるいはロジックデバイス等の超高集積の半導体デバイスが開発試作されている。このような半導体デバイスの高集積化に伴い、ゲート電極幅や拡散層幅の寸法の縮小および半導体素子を構成する材料の膜厚の低減が特に重要なになってきている。

【0003】 この中で、拡散層の浅接合化はMOSトランジスタの寄生抵抗を増大させ、MOSトランジスタの駆動能力を低減させるようになる。また、ゲート電極あるいはゲート電極配線幅の縮小およびゲート電極材料の薄膜化は、必然的にこれらの配線抵抗の増加をまねき、回路動作の遅延に大きな影響を及ぼすようになる。

【0004】 そこで、微細化される半導体素子においては、拡散層の表面あるいはゲート電極の表面に高融点金

属シリサイドを形成する技術が重要になってくる。特に、高融点金属としてコバルト等の高融点金属を用いたシリサイド化技術あるいはサリサイド化技術は、微細なMOSトランジスタにとり必須となる。

【0005】この場合に、シリサイド層の抵抗均一性の制御が難しく種々の方法が検討されている。例えばコバルトのシリサイド化の場合、シリコンとの熱反応の制御が特に難しい。従来のこのようなコバルトによるサリサイドプロセスとしては、特開平2-45923号公報に開示された方法がある（以下、第1の従来例と記す）。あるいは、特開平7-86559号公報に記載された方法がある（以下、第2の従来例と記す）。

【0006】初めに、第1の従来の技術を図7に基づいて説明する。ここで、図7はコバルトによるサリサイド形成を工程順に示した断面図である。

【0007】図7（a）に示すようにP型シリコン基板101にNウェル102を既知の方法により形成する。次に、P型シリコン基板101表面にフィールド酸化膜103を選択酸化法により形成する。このフィールド酸化膜103に囲まれた活性領域に順次シリコン酸化膜などのゲート酸化膜104と多結晶シリコンを成長し、多結晶シリコンにリン不純物を既知の手法によりドープして多結晶シリコンの電気的抵抗の低減を図る。

【0008】次に、公知のフォトリソグラフィ法とドライエッチ法により、上記の多結晶シリコンをパターンニングしてゲート電極105を形成する。そして、フォトリソグラフィ法とイオン注入法により、低濃度のN型不純物拡散層107と低濃度のP型不純物拡散層108を形成する。次に、ゲート電極105の側壁にシリコン酸化膜あるいはシリコン窒化膜から構成されるサイドウォール・スペーサ106を公知の化学気相成長（CVD）法とドライエッティング法を用いて形成する。

【0009】次に、図7（b）に示すようにフォトリソグラフィ法とイオン注入法により、高濃度のN型不純物拡散層と高濃度のP型不純物拡散層を形成する。かくして、LDD（Lightly Doped Drain）構造となるN型ソース・ドレイン拡散層109とP型ソース・ドレイン拡散層110が形成されるようになる。次にゲート電極である多結晶シリコンの表面とシリコン基板の表面の自然酸化膜（図示せず）を除去し、コバルト膜111をシリコン基板の加熱を行わないでスパッタする。その後にシリコン基板表面を空気に曝すことなく、同じ真空装置内でCoSi<sub>2</sub>膜112が形成される温度にまでシリコン基板を加熱する。この場合、加熱温度は500°Cから800°Cの温度に加熱する。

【0010】次に、図7（c）に示すように硫酸、過酸化水素混合液により、フィールド酸化膜103およびサイドウォール・スペーサ106上に存在する未反応のコバルト膜111を選択的にウエットエッティングする。そして、絶縁膜上すなわちフィールド酸化膜103およ

びウォール・スペーサ106表面にコバルトシリサイド層を形成させないで、MOSトランジスタのゲート電極105、N型ソース・ドレイン拡散層109およびP型ソース・ドレイン拡散層110表面に選択的にCoSi<sub>2</sub>膜112を形成する。

【0011】次に、第2の従来の技術を図8に基づいて説明する。ここで、図8もコバルト等の金属膜によるサリサイド形成を工程順に示した断面図である。

【0012】図8（a）に示すように、シリコン基板201表面に素子分離領域202を形成する。そして、この素子分離領域202に囲まれた活性領域に順次シリコン酸化膜などのゲート酸化膜203と多結晶シリコンを成長し、多結晶シリコンにリン不純物を既知の手法によりドープして多結晶シリコンの電気的抵抗の低減を図る。そして、公知のフォトリソグラフィ法とドライエッチ法により、上記の多結晶シリコンをパターンニングして多結晶シリコンゲート204を形成する。そして、多結晶シリコンゲート204の側壁にサイドウォール205を公知の方法で形成する。

【0013】次に、全面に、コバルト膜206とチタン膜207とを連続的にスパッタ法で堆積させる。ここで、これらの金属膜の膜厚はそれぞれ10nm程度に設定される。そして、急速熱アーナー（RTA）法であつて窒素雰囲気中で700°C程度の熱処理を施す。このようにして、図8（b）に示すように、シリコン基板201表面および多結晶シリコンゲート204表面にコバルトシリサイド208を形成する。このとき、素子分離領域202およびサイドウォール205のシリコン酸化膜上のコバルト膜206はシリサイド化せず未反応のままである。また、この熱処理でチタン膜207は全て窒化チタン膜209に変化するようになる。

【0014】次に、上記の未反応のコバルト膜206と窒化チタン膜209とを選択的にウエットエッティングする。このようにして、図8（c）に示すように、シリコン基板201上において、MOSトランジスタのゲートあるいはソース・ドレイン領域に選択的にコバルトシリサイド208が形成される。

### 【0015】

【発明が解決しようとする課題】しかし、上述した第1の従来例では、CoSi<sub>2</sub>膜が形成される温度において、フィールド酸化膜103あるいはサイドウォール・スペーサ106等の絶縁膜上においてもコバルトとの反応が生じCoSi<sub>x</sub>膜が形成される。一旦、このように形成されたCoSi<sub>x</sub>膜は、ウエットエッティングされ難く、例えば塩酸と過酸化水素の混合水溶液を用いてこの絶縁膜上に形成されたCoSi<sub>x</sub>膜をエッティングを行うとゲートあるいは拡散層上に形成されているCoSi<sub>2</sub>膜もエッティングされてしまう。このために、微細MOSトランジスタの形成で、ソース・ドレイン拡散層あるいはゲート電極の抵抗、具体的には、これらのシート抵抗

が増大するようになる。

【0016】また、このように形成されるコバルトシリサイド層の膜厚制御が難しくなる。そして、半導体装置の形成される半導体チップ内あるいは半導体ウェーハ内でのMOSトランジスタのゲート電極およびソース・ドレイン拡散層の層抵抗のバラツキ低減が難しい。そして、MOSトランジスタの特性のバラツキも増加するようになる。

【0017】また、上述した第2の従来例では、コバルト膜206とチタン膜207がスパッタ法で積層して形成される。また、熱処理の条件によっては、コバルト膜とチタン膜との熱反応によりコバルト・チタンの混晶シリサイドが形成される。このために、シリサイド工程が増加したり製造工程が複雑になってしまう。

【0018】また、この場合もコバルトシリサイド層の膜厚制御が難しくなる。そして、前述したように、半導体チップ内あるいは半導体ウェーハ内でのMOSトランジスタの特性のバラツキも増加する。

【0019】さらに、MOSトランジスタの微細化、高集積化に伴い、ゲート電極あるいはソース・ドレイン拡散層の最小寸法が0.5μm以下になると、このゲート電極あるいは拡散層シート抵抗値は、幅の広い領域で得られるC<sub>o</sub>S<sub>i2</sub>膜のシート抵抗値に比べ高くなる。すなわち、その出来上がったシリサイド層の抵抗値がその寸法依存性を有し、MOSトランジスタあるいは半導体デバイスの設計が難しくなる。

【0020】以上のことから、微細な構造を有する半導体デバイスでは、0.5μm以下の寸法幅におけるゲート電極および拡散層の抵抗値を小さくでき、かつ、絶縁膜上でコバルトの熱反応を抑え、選択的にゲート電極および拡散層上にC<sub>o</sub>S<sub>i2</sub>膜を形成できるシリサイド方法が望まれている。

【0021】本発明の主目的は、上述した問題点を全て解決すると共に、シリサイド化される領域の寸法が非常に微細化し0.1μm程度になっても、高品質のシリサイド層が形成できる方法を提供することにある。

【0022】また、本発明の別の主目的は、MOSトランジスタの製造工程で、シリサイド層の形成工程を簡便にすると共に、その形成工程を安定的なものとし製造コスト低減を容易にすることにある。

### 【0023】

【課題を解決するための手段】このために、本発明の半導体装置の製造方法は、半導体基板上に部分的に形成される絶縁膜間に高融点金属シリサイド層を選択的に形成する半導体装置の製造方法であって、前記半導体基板を加熱しながら高融点金属膜を堆積すると共に第1の相構造の高融点金属シリサイド層を形成する工程と、未反応の前記高融点金属膜を除去する工程と、熱処理を行って前記第1の相構造の高融点金属シリサイド層を第2の相構造あるいは第3の相構造の高融点金属シリサイド層に変換する工程とを含む。

【0024】あるいは、半導体基板上に部分的に形成される絶縁膜間に高融点金属シリサイド層を選択的に形成する半導体装置の製造方法において、前記半導体基板を加熱しながら高真空中で高融点金属膜を堆積する工程と、前記高真空中を破ることなく前記半導体基板を加熱して第1の相構造の高融点金属シリサイド層を形成する工程と、未反応の前記高融点金属膜を除去する工程と、熱処理を行って前記第1の相構造の高融点金属シリサイド層を第2の相構造あるいは第3の相構造の高融点金属シリサイド層に変換する工程とを含む。

【0025】ここで、前記熱処理を通して、前記第1の相構造の高融点金属シリサイド層が初めに前記第2の相構造の高融点金属シリサイド層に変換され、次に、前記第2の相構造の高融点金属シリサイド層が第3の相構造の高融点金属シリサイド層に変換される。

【0026】また、半導体基板上の前記高融点金属シリサイド層の形成される領域表面と前記高融点金属膜との間にバリア膜が形成され、前記バリア膜は前記高融点金属を通過させるがシリコンの通過を阻止する材料で構成される。そして、このバリア膜は多孔性を有するシリコン酸化膜で形成されている。

【0027】また、前記高融点金属膜はコバルトで形成され、堆積時の半導体基板の加熱温度が400°Cから500°Cの範囲になるように設定される。

【0028】そして、前記第1の相構造の高融点金属シリサイド層がC<sub>o2</sub>S<sub>i</sub>であり前記第2の相構造の高融点金属シリサイド層がC<sub>o</sub>S<sub>i</sub>であり前記第3の相構造の高融点金属シリサイド層がC<sub>o</sub>S<sub>i2</sub>である。ここで、前記C<sub>o</sub>S<sub>i2</sub>で構成される第3の相構造の高融点金属シリサイド層はエピタキシャル成長される。

【0029】また、前記第1の相構造の高融点金属シリサイド層が形成された後であって前記熱処理が行われる前工程に、前記未反応の高融点金属膜が硫酸と過酸化水素水を含む混合液によりエッチング除去される。

【0030】あるいは、本発明の半導体装置の製造方法は、半導体基板上に部分的に形成される絶縁膜間に高融点金属シリサイド層を選択的に形成する半導体装置の製造方法であって、前記半導体基板を加熱しながら高融点金属膜を付着させると同時に前記高融点金属膜を熱反応で第1の相構造の高融点金属シリサイド層に変換する工程と、未反応の前記高融点金属膜を除去する工程と、熱処理を行って前記第1の相構造の高融点金属シリサイド層を第2の相構造あるいは第3の相構造の高融点金属シリサイド層に変換する工程とを含む。

【0031】ここで、前記高融点金属膜がコバルトで形成されその成膜速度は前記第1の相構造の高融点金属シリサイド層への変換速度より小さくなるように設定されている。そして、前記高融点金属膜の成膜速度は0.05nm以上であり0.3nm以下となる範囲に設定され

る。

【0032】以上、本発明の主要部の特徴は、高融点金属膜のスパッタ法等による成膜温度を比較的に高温に設定し、この高融点金属膜を、初めに、全て第1の相構造の高融点シリサイド層に変換するところにある。

【0033】ここで、この第1の相構造の高融点シリサイド層を高い制御性のもとに安定的に形成するために、高融点金属シリサイド層の形成される領域表面と上記の高融点金属膜との間に、多孔性を有するシリコン酸化膜等でバリア膜を形成する。

【0034】または、半導体基板を加熱しながら高融点金属を半導体基板表面に付着させると同時にこの付着した高融点金属を熱反応で第1の相構造の高融点金属シリサイド層に変換する。そこで、高融点金属の付着速度が第1の相構造の高融点金属シリサイド層への変換速度より小さくなるように設定される。

【0035】このようにして、高融点金属膜を全て第1の相構造の高融点金属シリサイド層に変換した後に、熱処理を行って上記の第1の相構造の高融点金属シリサイド層を第2の相構造あるいは第3の相構造の高融点金属シリサイド層に変換する。

【0036】また、順番に、第1の相構造の高融点シリサイド層を半導体基板上に形成し、この第1の相構造の高融点シリサイド層を第2の相構造の高融点シリサイド層に変換し、さらに、第2の相構造の高融点シリサイド層を第3の相構造の高融点金属シリサイド層に変換すると、最終的なシリサイド層すなわち第3の相構造の高融点金属シリサイド層はエピタキシャル成長し単結晶構造になる。

【0037】そして、最終的に形成されるシリサイド層の抵抗値は低下すると共に、ウェーハ面内でのその膜厚のバラツキが大幅に低減する。また、出来上がったコバルトシリサイド層の抵抗値はそのパターン寸法依存性を持たず、MOSトランジスタあるいは半導体デバイスの設計を非常に容易にする。

### 【0038】

【発明の実施の形態】次に、本発明の第1の実施の形態を図1および図2に基づいて説明する。図1と図2は、本発明でコバルトシリサイド層を形成する場合の製造工程順の断面図である。

【0039】図1(a)に示すように、例えば導電型がP型のシリコン基板1の表面に選択的に素子分離絶縁膜2を形成する。ここで、素子分離絶縁膜2は通常のLOCOS法あるいはトレンチ素子分離法等で形成される。そして、素子分離絶縁膜2の形成されていない領域のシリコン基板1の表面に、例えば、MOSトランジスタのソース・ドレイン領域となる拡散層3を形成する。ここで、拡散層3はヒ素不純物等を含有する導電型がN型の拡散層である。

### 【0040】

系の化学溶液で除去する。そして、バリア膜4を拡散層3上に形成する。このバリア膜4は、後述するようにシリコン原子の拡散を阻止する膜であり、膜厚が1nm程度で多孔性を有するシリコン酸化膜で構成される。このような多孔性を有するシリコン酸化膜は、シリコン基板1を硝酸水溶液中で熱することで形成される。あるいは、アンモニア水溶液と過酸化水素水との混合溶液中で熱することでも形成できる。

【0041】このようにして、シリコン基板1表面にバリア膜4を形成した後、マルチチャンバーで構成されるマルチチャンバー装置内でコバルト膜5をスパッタ成膜する。ここで、マルチチャンバー装置は10<sup>-9</sup>Torr程度の高真空中にできるものであり、スパッタ成膜は450°C程度の高温で行われる。そして、コバルト膜5の膜厚は10nm程度に設定される。また、スパッタでの成膜速度は0.5nm/sec程度に設定される。

【0042】このような温度のスパッタでは、拡散層3表面が一部シリサイド化される。このシリサイド化では、Co<sub>2</sub>Si膜が形成されるようになる。ここで、コバルト膜5のコバルト原子はバリア膜4を通ってシリコン基板1の表面に移動する。しかし、シリコン基板1表面のシリコン原子はコバルト膜5側に拡散しない。これは、本発明の特徴であるバリア膜4がシリコン原子の拡散を阻止する膜で形成されるためである。なお、このスパッタ成膜の温度は400～500°Cの範囲が非常に効果的となる。

【0043】次に、シリコン基板1を、上記のマルチチャンバー装置の別のチャンバーに真空移送し、10<sup>-9</sup>Torr程度の高真空中で熱処理を行う。コバルト膜は非常に酸化され易くこの酸化があるとコバルトのシリサイド化が難しくなる。しかし、このようにシリコン基板を空气中に曝さないように真空移送することで、このような問題は無くなる。

【0044】ここで、熱処理温度は450°C程度に設定され、熱処理時間は30sec程度となる。この熱処理で、全てのコバルト膜5のコバルト原子がバリア膜4を通って拡散層3表面に拡散し、この拡散層3表面にCo<sub>2</sub>Si膜6が完全に形成されるようになる。このCo<sub>2</sub>Si膜6が第1の相構造の高融点金属シリサイド層である。このシリサイド層は多結晶構造であり斜方晶系を有する。

【0045】なお、この熱処理で拡散層3表面のシリコン原子は、バリア膜4でコバルト膜5に移動するのが阻止される。このために、バリア膜4上あるいは素子分離絶縁膜2上にCo<sub>2</sub>Si膜6が形成されることはない。

【0046】次に、硫酸と過酸化水素水の混合溶液にシリコン基板1を一定時間にわたって入れ、素子分離絶縁膜2上のコバルト膜5を選択的にエッチング除去する。このようにして、図1(c)に示すように、シリコン基

板1表面に形成した拡散層3上のみにCo<sub>2</sub>Si膜6を形成する。ここで、絶縁膜である素子分離絶縁膜2上には全くCo<sub>2</sub>Si膜6は形成されない。また、拡散層3上のCo<sub>2</sub>Si膜6上にはバリア膜4が残存する。

【0047】次に、塩酸と過酸化水素水の混合溶液およびアンモニア水溶液と過酸化水素水の混合溶液でシリコン基板を洗浄をする。ここで、バリア膜4は、上記の混合溶液でCo<sub>2</sub>Si膜6が腐食するのを防止する。通常、Co<sub>2</sub>Si膜は塩酸と過酸化水素水の混合溶液によってエッチングされる。

【0048】次に、窒素雰囲気でのRTAによる第1のシンターを施す。ここで、この第1のシンターでは、温度が600°Cで処理時間が60sec程度に設定される。そして、図2(a)に示すように、Co<sub>2</sub>Si膜6がCoSi膜7に相転移するようになる。このようにして、拡散層3表面にCoSi膜7が形成されることになる。このCoSi膜7が第2の相構造の高融点金属シリサイド層である。このシリサイド層は多結晶構造であり立方晶系を有する。

【0049】次に、再度、窒素雰囲気でのRTAを行い第2のシンターを施す。ここで、この第2のシンターでは、温度が800°Cで処理時間が10sec程度に設定される。そして、図2(b)に示すように、今度はCoSi膜7がCoSi<sub>2</sub>膜8に相転移するようになる。このCoSi<sub>2</sub>膜8が第3の相構造の高融点金属シリサイド層である。このシリサイド層はエピタキシャル成長して形成され、立方晶系の単結晶構造となる。なお、このCoSi<sub>2</sub>膜8の格子定数はシリコン結晶のものに非常に近くなる。このようにしてから、バリア膜4をウェットエッチングで除去する。

【0050】以上のようにして、最終的に、シリコン基板1上の拡散層3表面に選択的にCoSi<sub>2</sub>膜8が形成されることになる。そして、素子分離絶縁膜2上には全くCoSi<sub>2</sub>膜8は形成されないことになる。また、このようにして形成されたCoSi<sub>2</sub>膜8は、エピタキシャル成長で形成するために低抵抗層になる。

【0051】この第1の実施の形態では、本発明の特徴であるバリア膜4は多孔性を有するシリコン酸化膜で形成された。このようなバリア膜として、膜厚が0.5nm程度のシリコン酸化膜が使用されてもよい。あるいは、このバリア膜4は絶縁膜以外に金属膜で構成されてもよい。ここで、重要なことは、Co<sub>2</sub>Si膜6を形成するような温度で、バリア膜4がコバルト原子を通してシリコン原子を通さない性質を有することである。

【0052】第1の実施の形態の方法では、シリコン基板等の被シリサイド化される材料表面に上記のようなバリア膜を形成し、このバリア膜上にコバルト膜を堆積させる。そして、Co<sub>2</sub>Si膜を形成して上記のようなシンターを行い、最終的にCoSi<sub>2</sub>膜をエピタキシャル成長させ選択的に拡散層表面にのみシリサイド層を形成

する。

【0053】このような方法では、被シリサイド化される材料表面のコバルト膜は全てコバルトシリサイド層に変換される。このために、最終的なCoSi<sub>2</sub>膜の膜厚がスパッタ成膜工程でのコバルト膜の膜厚にそのまま依存し、このコバルトシリサイド層の膜厚制御が非常に容易になる。そして、半導体装置の形成される半導体チップ内あるいは半導体ウェーハ内のMOSトランジスタのゲート電極およびソース・ドレイン拡散層の層抵抗のバラツキ低減が容易になる。さらに、MOSトランジスタの特性のバラツキも低減するようになる。

【0054】さらに、このような方法では、コバルトシリサイド層がエピタキシャル成長で形成される。このために、MOSトランジスタの微細化、高集積化に伴い、ゲート電極あるいはソース・ドレイン拡散層パターンの最小寸法が小さくなつても、この領域に形成されるコバルトシリサイド層は、パターン幅の広い領域で得られるコバルトシリサイド層と同一の厚さに形成される。すなわち、出来上がったコバルトシリサイド層の抵抗値はそのパターン寸法依存性を持たず、MOSトランジスタあるいは半導体デバイスの設計が非常に容易になる。

【0055】また、上記のバリア膜6は、酸洗浄等の工程でCo<sub>2</sub>Si膜がエッチングされるのを防止する機能を有する。また、エピタキシャル成長で形成されるコバルトシリサイド層は熱処理に対する耐性を向上させる。すなわち、高耐熱性を有するようになる。そして、通常の場合に生じる熱処理での凝集が無くなる。これらのため、MOSトランジスタの製造工程で、シリサイド層の形成工程を簡便にすると共に、その形成工程を安定的なものとし製造コスト低減を容易にする。

【0056】次に、本発明の第2の実施の形態を図3および図4に基づいて説明する。図3は、本発明でコバルトシリサイド層を形成する場合の別の製造工程順の断面図である。そして、図4はこの場合のコバルト成膜条件を特定するための実験結果のグラフである。以下の説明では、第1の実施の形態と同一のものは同一符号で示される。

【0057】第1の実施の形態で説明したように、例えば導電型がP型のシリコン基板1の表面に選択的に素子分離絶縁膜2を形成する。そして、素子分離絶縁膜2の形成されていない領域のシリコン基板1の表面に拡散層3を形成する。ここで、拡散層3は導電型がN型の拡散層である。

【0058】次に、シリコン基板1表面にスパッタ装置でコバルト膜5を10nmの膜厚でスパッタ成膜する。ここで、スパッタ装置は10<sup>-9</sup>Torr程度の高真空中にできるものであり、スパッタ成膜は400°C程度の高温で行われる。

【0059】このスパッタ成膜で特徴的なことは、コバルト膜の成膜速度すなわちスパッタ成膜速度が、Co<sub>2</sub>Si膜の成膜速度

Si膜へのシリサイド化速度より小さくなるようになるようになると、スパッタ成膜工程で拡散層3表面に到達するコバルト原子は全て拡散層3表面のシリコン原子と熱反応し、スパッタ成膜時に同時にCo<sub>2</sub>Si膜6が形成されるようになる。すなわち、スパッタ成膜工程で絶縁膜である素子分離絶縁膜2上にコバルト膜5がそのまま堆積し、拡散層3表面に選択的にCo<sub>2</sub>Si膜6が成長する。ここで、Co<sub>2</sub>Si膜6の膜厚は14nm程度に設定される。なお、この場合には、スパッタ成膜速度は第1の実施の形態の場合より小さくなる。

【0060】第2の実施の形態の方法では、スパッタ成膜速度を適切な値に設定することが必要になる。これについて、図4に基づいて説明する。図4では、横軸に上記のようなスパッタ成膜速度がとられている。そして、縦軸の左側には、最終的なCo<sub>2</sub>Si膜のウェーハ内シート抵抗バラツキが示されている。また、縦軸の右側には、コバルトシリサイド化された拡散層の接合リーキ電流が示されている。

【0061】図4より次のようなことが判る。すなわち、スパッタ成膜速度が0.3nm/sec以下では、ウェーハ内シート抵抗バラツキは3%程度でほぼ一定になるのに対して、スパッタ成膜速度がこの値以上になるとこのバラツキは急激に増加するようになる。

【0062】しかし、スパッタ成膜速度が小さくなると、拡散層の接合リーキ電流が僅かずつ増加するようになる。そして、スパッタ成膜速度が0.05nmより小さくなると、拡散層の接合リーキ電流が急激に増大する。これは、スパッタ成膜速度があまりに小さくなると、処理時間が長くなり、図3(a)で示す素子分離絶縁膜2上のコバルト膜5のコバルト原子が多量に拡散層3に入りこむようになるからである。そして、素子分離絶縁膜2の端部でシリサイド化が過剰に進行し、この領域で接合面が劣化するようになる。

【0063】以上に説明したことから、第2の実施の形態でのコバルトのスパッタ成膜速度は、0.05nm/sec以上であり3nm/sec以下になるように設定されるのがよい。

【0064】次に、第1の実施の形態で説明したのと同様に、窒素雰囲気で第1のシンターを施す。このようにして、図3(b)に示すように、拡散層3のCo<sub>2</sub>Si膜6をCo<sub>2</sub>Si膜7に相転移させる。ここで、素子分離絶縁膜2上にはコバルト膜5が残存するようになる。なお、このコバルト膜5の表面が僅かに酸化されてもかまわない。

【0065】次に、硫酸と過酸化水素水の混合溶液にシリコン基板1を一定時間にわたって入れ、素子分離絶縁膜2上のコバルト膜5を選択的にエッティング除去する。

【0066】次に、第2のシンターを施す。ここで、この第2のシンターでは、温度が800°Cで処理時間が1

0sec程度に設定される。そして、図3(c)に示すように、拡散層3上のCo<sub>2</sub>Si膜7をCo<sub>2</sub>Si膜8に相転移させる。

【0067】以上のようにして、最終的に、シリコン基板1上の拡散層3表面に選択的にCo<sub>2</sub>Si膜8が形成されることになる。そして、素子分離絶縁膜2上には全くCo<sub>2</sub>Si膜8は形成されないことになる。

【0068】この第2の実施の形態の場合も、被シリサイド化される材料表面のコバルト膜は全てコバルトシリサイド層に変換される。このために、コバルトシリサイド層の膜厚制御が非常に容易になる。そして、半導体ウェーハ内でのMOSトランジスタのゲート電極およびソース・ドレイン拡散層の層抵抗のバラツキ低減が容易になり、MOSトランジスタの特性のバラツキも低減するようになる。

【0069】次に、本発明の第3の実施の形態を図5および図6に基づいて説明する。図5は、本発明でCMOSトランジスタをシリサイド化する場合の製造工程順の断面図である。また、図6は、本発明の方法で形成した場合の効果を示すための拡散層のシート抵抗のグラフである。

【0070】図5(a)に示すように、導電型がP型のシリコン基板1のPチャネルMOSトランジスタが形成される領域に、Nウェル2をイオン注入と熱処理とで形成する。次に、シリコン基板1の表面に、厚さ350nm程度の素子分離絶縁膜23を形成する。そして、素子分離絶縁膜23に囲まれた活性領域に厚さ10nmのゲート酸化膜24を形成し、この後、ゲート電極材料として厚さ150nmの多結晶シリコンを成長する。ここで、多結晶シリコンにはリン不純物を高濃度に含有させる。

【0071】次に、公知のフォトリソグラフィ技術とイオン注入技術により、上記の多結晶シリコンをパターンニングしてゲート電極25とする。そして、イオン注入技術により、低濃度のN型不純物拡散層26と低濃度のP型不純物拡散層27を順次形成する。さらに、全面に厚さ70nmのシリコン酸化膜を堆積し、異方性のドライエッティングによるエッチバック法で、ゲート電極25の側面にサイドウォール・スペーサ28を形成する。

【0072】次に、図5(b)に示すようにフォトリソグラフィ技術とイオン注入技術とで、高濃度のN型不純物拡散層と高濃度のP型不純物拡散層を形成する。このようにして、LDD構造となるN型ソース・ドレイン拡散層29とP型ソース・ドレイン拡散層30が形成されるようになる。次に、多結晶シリコンで構成されたゲート電極25の表面とシリコン基板21の表面の自然酸化膜を希フッ酸溶液でエッティング除去する。

【0073】次に、第1の実施の形態で説明したのと同様にして、N型ソース・ドレイン拡散層29、P型ソース・ドレイン拡散層30およびゲート電極25表面にバ

リア膜31を形成する。

【0074】次に、第1の実施の形態で説明したのと同様にして、マルチチャンバー装置内でコバルト膜32をスパッタ成膜する。ここで、スパッタ成膜は450°C程度の高温である。そして、コバルト膜32の膜厚は15nm程度に設定される。そして、シリコン基板21を、上記のマルチチャンバー装置の別のチャンバーに真空移送し、10<sup>-9</sup> Torr程度の高真空中で熱処理を行う。ここで、熱処理温度は450°C程度に設定され、熱処理時間は30sec程度となる。この熱処理で、コバルト膜32のコバルト原子がバリア膜31を通って、N型ソース・ドレイン拡散層29、P型ソース・ドレイン拡散層30およびゲート電極25表面に拡散し、これらの表面にCo<sub>2</sub>Si膜33が形成されるようになる。

【0075】次に、硫酸と過酸化水素水の混合溶液にシリコン基板21を入れ、素子分離絶縁膜23上およびサイドウォール・スペーサ28のコバルト膜32を選択的にエッチング除去する。このようにして、N型ソース・ドレイン拡散層29、P型ソース・ドレイン拡散層30およびゲート電極25表面のみにCo<sub>2</sub>Si膜33を形成することになる。ここで、絶縁膜である素子分離絶縁膜23上およびサイドウォール・スペーサ28上には全くCo<sub>2</sub>Si膜は形成されない。

【0076】次に、洗浄工程を通し、第1の実施の形態で説明したのと同様にして、窒素雰囲気で第1のシンターを施す。そして、図5(c)に示すように、Co<sub>2</sub>Si膜33がCoSi膜34に相転移するようになる。このようにして、N型ソース・ドレイン拡散層29、P型ソース・ドレイン拡散層30およびゲート電極25表面CoSi膜34が形成されることになる。

【0077】次に、再び第1の実施の形態で説明したのと同様にして、第2のシンターを施す。ここで、この第2のシンターでは、温度が800°Cで処理時間が10sec程度に設定される。そして、図5(d)に示すように、今度はCoSi膜34がCoSi<sub>2</sub>膜35に相転移するようになる。

【0078】以上のようにして、最終的に、CMOSトランジスタのN型ソース・ドレイン拡散層29、P型ソース・ドレイン拡散層30およびゲート電極25表面に選択的にCoSi<sub>2</sub>膜35が形成されることになる。すなわち、MOSトランジスタのコバルトシリサイドによるシリサイド化がなされる。

【0079】以上のようなCMOSトランジスタのシリサイド化で形成したCoSi<sub>2</sub>膜により、パターン線幅0.5μm以下のN型ソース・ドレイン拡散層、P型ソース・ドレイン拡散層および線幅0.2μmのゲート電極上でそれぞれ低いシート抵抗値が得られた。

【0080】本発明により得られた実験結果を図6で説明する。図6は、本発明の製造方法で形成したコバルトシリサイド層のシート抵抗のソース・ドレイン拡散層パ

ターン幅依存性を示すものである。図6において、横軸はソース・ドレイン拡散層幅、縦軸は最終的にシリサイド化されたソース・ドレイン拡散層のウェーハ内でのシート抵抗値である。

【0081】図6において、△印は、第1の従来例で説明した方法でコバルトシリサイド層が形成される場合の値であり、○印は、第3の実施の形態で説明した方法でシリサイド層が形成される場合の値である。

【0082】図6から判るように、従来の技術では、ソース・ドレイン拡散層幅が0.3μm以下になると、そのシート抵抗値は徐々に増加する。そして、ウェーハ内で70%程度のシート抵抗値のバラツキが生じるようになる。

【0083】これに対し、本発明の方法では、このシート抵抗値の絶対値は大幅に低減するようになると共に、シート抵抗値のソース・ドレイン拡散層幅依存性は無くなり、0.1μm程度までほぼ同一の値となる。そして、このシート抵抗値のウェーハ内のバラツキは3%以下になる。

【0084】以上のようなことは、MOSトランジスタのソース・ドレイン拡散層がN型拡散層およびP型拡散層によらずに同様に生じることである。また、ゲート電極のシリサイド化後のシート抵抗値についても、上記したことと同様のことが生じるようになる。

【0085】上記の実施の形態では、シリコン基板がP型の場合について説明されているが、本発明はこれに限定されるものではなくN型のシリコン基板でも同様に適用できる。この場合には、その説明でP型とN型とを入れ替えればよい。

【0086】また、第3の実施の形態において、コバルトシリサイド層を形成する場合に、第2の実施の形態で説明した方法を用いてもよい。そして、第1の実施の形態で説明した発明と、第2の実施の形態で説明した発明とを併用する方法でもよいことにも言及しておく。

【0087】また、本発明の方法で、コバルトの代わりにニッケルを用いてもよい。この場合には、最終的なシリサイド層はNiSi膜で構成されるようになる。

【0088】【発明の効果】以上に説明したように、本発明の半導体装置の製造方法では、半導体基板上に所定の領域に高融点金属シリサイド層を選択的に形成するために、半導体基板を加熱しながら高融点金属膜を堆積すると共に第1の相構造の高融点金属シリサイド層を形成する。そして、熱処理を施してこの第1の相構造の高融点金属シリサイド層を第2の相構造の高融点金属シリサイド層に変換し、そして、この第2の相構造の高融点金属シリサイド層を第3の相構造の高融点金属シリサイド層に変換する。ここで、高融点金属シリサイド層の形成される領域表面と上記の高融点金属膜との間には、多孔性を有するシリコン酸化膜等でバリア膜が形成されている。

【0089】あるいは、半導体基板を加熱しながら高融点金属を半導体基板表面に付着させると同時にこの付着した高融点金属を熱反応で第1の相構造の高融点金属シリサイド層に変換する。そこで、高融点金属膜の成膜速度が第1の相構造の高融点金属シリサイド層への変換速度より小さくなるように設定される。そして、熱処理を行って上記の第1の相構造の高融点金属シリサイド層を第2の相構造あるいは第3の相構造の高融点金属シリサイド層に変換する。

【0090】このようにして、第3の相構造の高融点金属シリサイド層はエピタキシャル成長するようになる。そして、MOSトランジスタのソース・ドレイン拡散層あるいはゲート電極の抵抗が大幅に低減するようになる。また、出来上がったコバルトシリサイド層の抵抗値はそのパターン寸法依存性を持たず、MOSトランジスタあるいは半導体デバイスの設計が非常に容易になる。

【0091】また、シリサイド化される材料表面の高融点金属膜は全てCo<sub>2</sub>Si膜等で構成される第1の相構造の高融点金属シリサイド層に変換される。このために、CoSi<sub>2</sub>膜等で構成される最終的な第3の相構造の高融点金属シリサイド層の膜厚は、高融点金属膜の成膜工程での高融点金属膜の膜厚にそのまま依存する。このために、高融点金属シリサイド層の膜厚制御が非常に容易になる。そして、半導体装置の形成される半導体チップ内あるいは半導体ウェーハ内でのMOSトランジスタのゲート電極およびソース・ドレイン拡散層の層抵抗のバラツキ低減が容易になる。そして、MOSトランジスタの特性のバラツキも低減するようになる。

【0092】以上本発明により、シリサイド層の形成工程が簡便化されると共に、その形成工程が安定的なものとなり製造コスト低減が容易になる。そして、シリサイド化される領域の寸法が非常に微細化し0.1μm程度になっても、高品質のシリサイド層が形成され、半導体装置の高集積化、高速化および高機能化が促進されるようになる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するシリサイド層の形成工程順の断面図である。

【図2】本発明の第1の実施の形態を説明するシリサイ

ド層の形成工程順の断面図である。

【図3】本発明の第2の実施の形態を説明するシリサイド層の形成工程順の断面図である。

【図4】上記第2の実施の形態で形成する場合のスペッタ成膜条件を説明するためのグラフである。

【図5】本発明の第3の実施の形態を説明するためのMOSトランジスタの製造工程順の断面図である。

【図6】上記第3の実施の形態での効果を説明するためのグラフである。

【図7】第1の従来例でのシリサイド層の形成工程順の断面図である。

【図8】第2の従来例でのシリサイド層の形成工程順の断面図である。

#### 【符号の説明】

1, 21, 201 シリコン基板

2, 23 素子分離絶縁膜

3 拡散層

4, 31 バリア膜

5, 32, 111, 206 コバルト膜

6, 33 Co<sub>2</sub>Si膜

7, 34 CoSi膜

8, 35, 112 CoSi<sub>2</sub>膜

22, 102 Nウェル

24, 104, 203 ゲート酸化膜

25, 105 ゲート電極

26, 107 低濃度のN型不純物拡散層

27, 108 低濃度のP型不純物拡散層

28, 106 サイドウォール・スペーサ

29, 109 N型ソース・ドレイン拡散層

30, 110 P型ソース・ドレイン拡散層

101 P型シリコン基板

103 フィールド酸化膜

202 素子分離領域

204 多結晶シリコンゲート

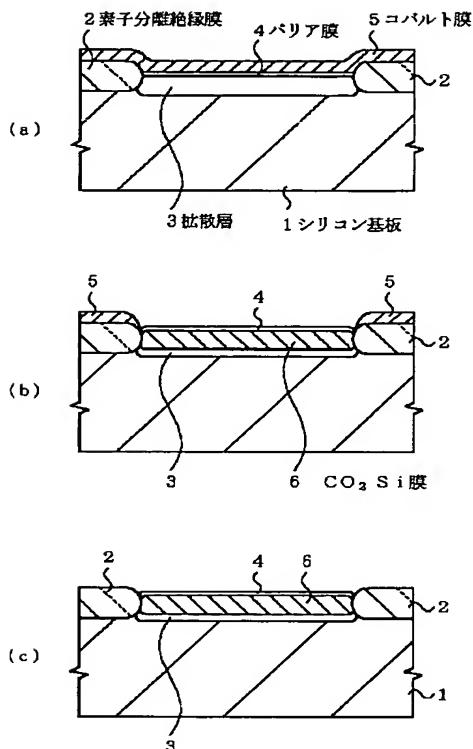
205 サイドウォール

207 チタン膜

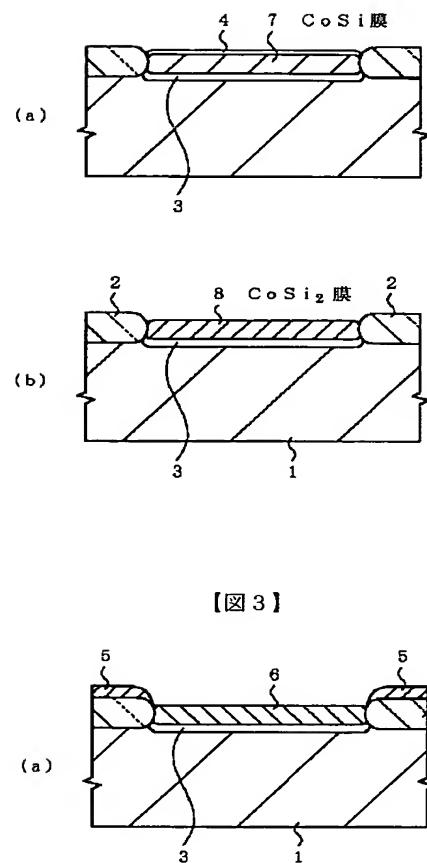
208 コバルトシリサイド

209 窒化チタン膜

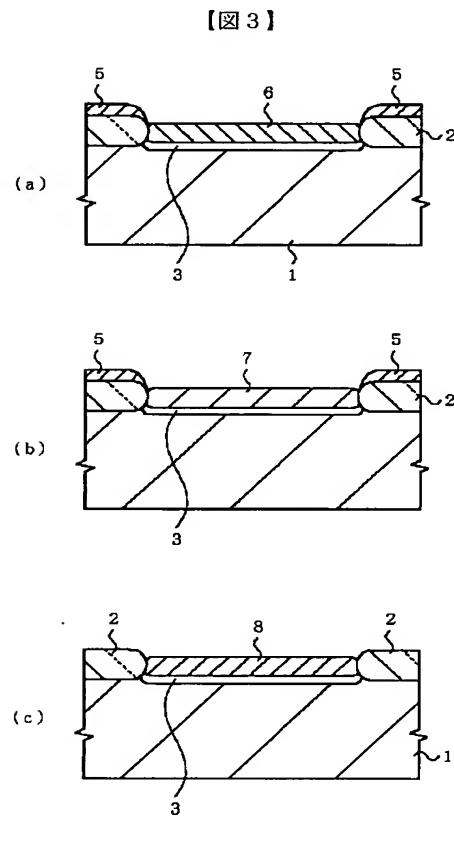
【図1】



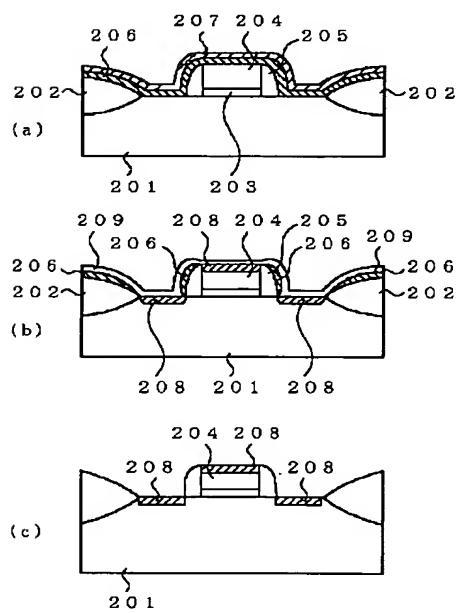
【図2】



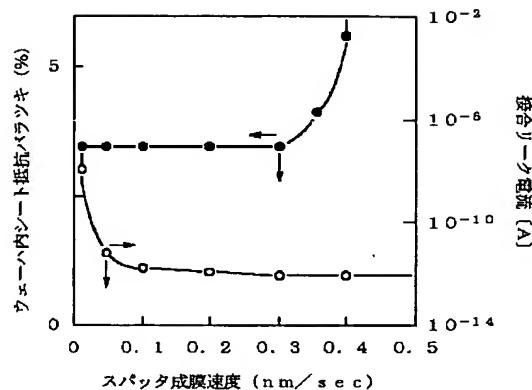
【図3】



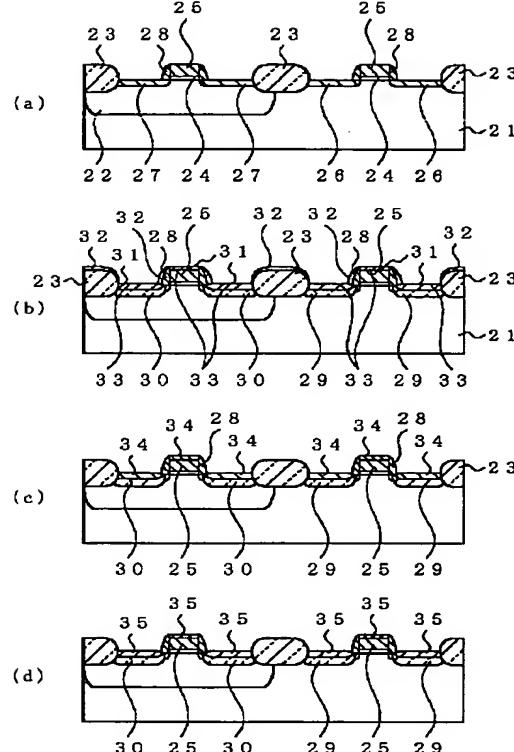
【図8】



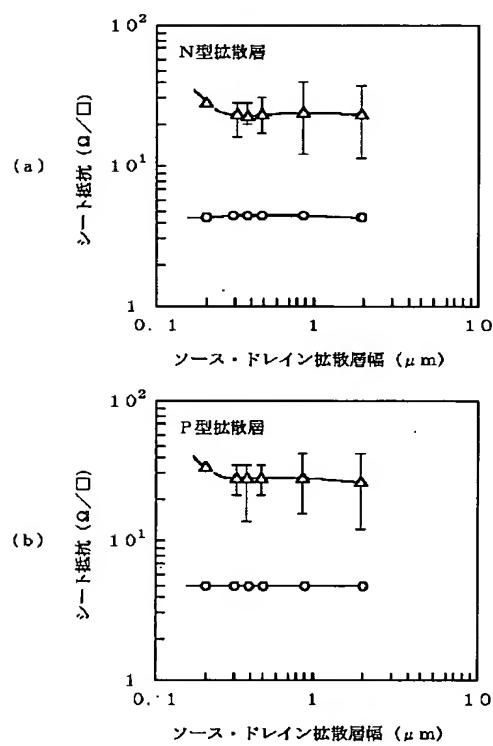
【図4】



【図5】



【図6】



【図7】

